

**PAT-NO:** JP410246755A  
**DOCUMENT-IDENTIFIER:** JP 10246755 A  
**TITLE:** TEST CIRCUIT AND TEST METHOD FOR INTEGRATED CIRCUIT DEVICE  
**PUBN-DATE:** September 14, 1998

**INVENTOR-INFORMATION:**

NAME	COUNTRY
NITTA, SUSUMU	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
TOSHIBA CORP	N/A

**APPL-NO:** JP09048756  
**APPL-DATE:** March 4, 1997

**INT-CL (IPC):** G01R031/28 , G06F011/22 , H01L027/04 , H01L021/822

**ABSTRACT:**

**PROBLEM TO BE SOLVED:** To prevent as much as possible the extension of testing time without increasing the number of terminals in an integrated circuit device.

**SOLUTION:** At every path connecting the output terminal of a megacell block 40 and the input terminal of random block 50, provided are the first scan cell 2, the first multiplexer 4 selecting one of the output of the megacell block 40 or the output of the first scan cell 2 based on the first test mode signal and sending to the input terminal of the random block 50 and the second multiplexer 6 selecting the output of the first multiplexer 4 based on the second test mode signal and sending to the external terminal of the integrated circuit device. Also at every path connecting the output terminal of the random block 50 and the input terminal of the megacell block 40, provided are the third multiplexer 8 selecting one of the output of the random block 50 or the test data input from the external terminal of the integrated circuit device and sending to the input terminal of the megacell block 40 based on the second test mode signal and the second scan cell 10 receiving the output of the third multiplexer 8.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-246755

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

V

G 0 6 F 11/22

3 6 0

G 0 6 F 11/22

3 6 0 P

H 0 1 L 27/04

H 0 1 L 27/04

T

21/822

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平9-48756

(22) 出願日

平成9年(1997) 3月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 新 田 進

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

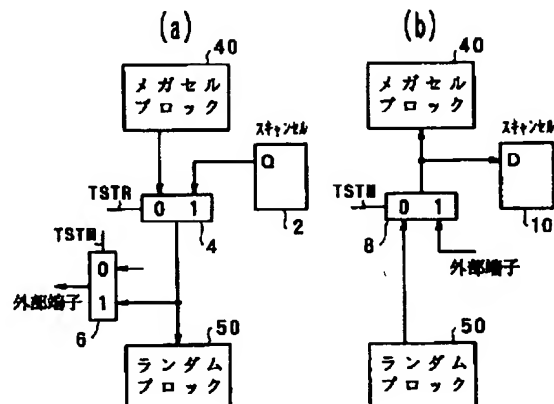
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 集積回路装置のテスト回路およびテスト方法

(57) 【要約】

【課題】 集積回路装置の端子数を増やすことなく、テスト時間が長くなるのを可及的に防止する。

【解決手段】 メガセルブロック40の出力端子とランダムブロック50の入力端子とを結ぶ経路毎に、第1のスキャンセル2と、第1のテストモード信号に基づいてメガセルブロックの出力または第1のスキャンセルの出力のうちの一方を選択してランダムブロックの入力端子に送出する第1のマルチプレクサ4と、第2のテストモード信号に基づいて第1のマルチプレクサの出力を選択して集積回路装置の外部端子に送出する第2のマルチプレクサ6と、を備えるとともに、前記ランダムブロックの出力端子とメガセルブロックの入力端子とを結ぶ経路毎に、前記第2のテストモード信号に基づいてランダムブロックの出力または集積回路装置の外部端子から入力されるテストデータのうちの一方を選択してメガセルブロックの入力端子に送出する第3のマルチプレクサ8と、第3のマルチプレクサの出力を受ける第2のスキャンセル10と、を備えていることを特徴とする。



## 【特許請求の範囲】

【請求項1】少なくとも1個のメガセルブロックと、少なくとも1個のランダムブロックとを備えている集積回路装置をテストするためのテスト回路であって、前記メガセルブロックの出力端子と前記ランダムブロックの入力端子とを結ぶ経路毎に、第1のスキャンセルと、第1のテストモード信号に基づいて前記メガセルブロックの出力または前記第1のスキャンセルの出力のうち的一方を選択して前記ランダムブロックの前記入力端子に送出する第1のマルチプレクサと、第2のテストモード信号に基づいて前記第1のマルチプレクサの出力を選択して前記集積回路装置の外部端子に送出する第2のマルチプレクサと、を備えるとともに、前記ランダムブロックの出力端子と前記メガセルブロックの入力端子とを結ぶ経路毎に、前記第2のテストモード信号に基づいて前記ランダムブロックの出力または前記集積回路装置の外部端子から入力されるテストデータのうち的一方を選択して前記メガセルブロックの入力端子に送出する第3のマルチプレクサと、前記第3のマルチプレクサの出力を受ける第2のスキャンセルと、を備えていることを特徴とする集積回路装置のテスト回路。

【請求項2】前記第1および第2のスキャンセルは共通化された同一のスキャンセルであることを特徴とする請求項1記載の集積回路装置のテスト回路。

【請求項3】双方向入出力端子を有する少なくとも1個のメガセルブロックと、双方向入出力端子を有する少なくとも1個のランダムブロックとを備えている集積回路装置をテストするテスト回路であって、前記メガセルブロックの双方向入出力端子と前記ランダムブロックの双方向入出力端子とを結ぶ経路に、前記ランダムブロックの双方向入出力端子からの出力を受けるスキャンセルと、テストモード信号に基づいて前記メガセルブロックの出力または前記スキャンセルの出力のうち的一方を選択して前記ランダムブロックの双方向入出力端子に送出するマルチプレクサと、を備えていることを特徴とする集積回路装置のテスト回路。

【請求項4】請求項1記載のテスト回路を用いて前記集積回路装置をテストする集積回路装置のテスト方法であって、前記ランダムブロックをテストする場合には、前記第1および第2のテストモード信号を第1および第2の所定の値に各々設定し、前記集積回路装置の外部端子を介して前記第1のスキャンセルにテストデータを送り、前記第1のテストモード信号を第1の所定の値に設定したことによって前記スキャンセルの出力を前記第1のマルチプレクサに選択させて前記ランダムブロックに送出し、

前記第2のテストモード信号を第2の所定の値に設定したことによって前記ランダムブロックの出力を前記第3のマルチプレクサに選択させて前記第2のスキャンセルで観測し、

前記メガセルブロックをテストする場合には、前記第1のテストモード信号を前記第1の所定の値と異なる第3の所定の値に設定するとともに前記第2のテストモード信号を前記第2の所定の値と異なる第4の所定の値に設定し、前記集積回路装置の外部端子を介してテストデータを入力し、前記第2のテストモード信号を前記第4の所定の値に設定したことにより前記テストデータを前記第3のマルチプレクサに選択させて前記メガセルブロックに送出し、前記第1のテストモード信号を前記第3の所定の値に設定したことにより前記メガセルブロックの出力を前記第1のマルチプレクサに選択させ、続いてこの第1のマルチプレクサの出力を第2のマルチプレクサに選択させて前記集積回路装置の外部端子に送出することを特徴とする集積回路装置のテスト方法。

【請求項5】請求項3記載のテスト回路を用いて前記集積回路装置をテストする集積回路装置のテスト方法であって、

前記ランダムブロックをテストする場合には、前記テストモード信号を第1の所定の値に設定するとともに前記メガセルブロックの前記双方向入出力端子の状態をハイインピーダンス状態にし、前記集積回路装置の外部端子を介してテストデータを前記スキャンセルに供給し、前記テストモード信号が前記第1の所定の値に設定されたことにより前記マルチプレクサに前記スキャンセルの出力を選択させて前記ランダムブロックに送出し、続いてこのランダムブロックの出力を前記スキャンセルで観測し、

前記メガセルブロックをテストする場合には、前記テストモード信号を前記第1の所定の値と異なる第2の所定の値に設定するとともに前記ランダムブロックの前記双方向入出力端子の状態をハイインピーダンス状態にし、前記集積回路装置の外部端子を介してテストデータを前記メガセルブロックに供給し、このメガセルブロックの出力を前記外部端子で観測することを特徴とする集積回路装置のテスト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メガセルブロックと、ランダムブロックとを含む集積回路装置をテストするための集積回路装置のテスト回路およびテスト方法に関する。

## 【0002】

【従来の技術】従来、メガセルブロックとランダムブロックとを含む集積回路装置のテストを容易化するために、図5に示すように、メガセルブロック40a、40bと、ランダムブロック50とをテストモード時に切り

離するための分離回路30が設けられている。なお、ここでメガセルブロックとは、既に設計された汎用の回路であって、例えばCPU、メモリ(RAM、ROM)、乗算器等である。またランダムブロックとは、製品(集積回路)に合わせて設計される回路であって、例えばプログラマブルI/O(入出力装置)、シリアルI/O、DMA(Direct Memory Access)コントローラ等である。

【0003】上述の分離回路としてはスキャン回路またはマルチプレクサのうちの一方のみが用いられている。

【0004】

【発明が解決しようとする課題】ランダムブロック50は端子数が多く、集積回路装置の端子数より多くなるのが一般的である。このため、マルチプレクサを分離回路30として用いた場合には、ランダムブロック50をテストするために必要になる端子の数が上記集積回路装置の端子数を超えてしまい、集積回路装置の端子数を増やさなければならないという問題がある。

【0005】また分離回路30にスキャン回路を用いた場合には、メガセルブロック40a、40bをテストするとき、既存のテストパターンをスキャンパターンに変換する必要がある。そしてこのスキャンパターンに変換すると、テストパターンが長くなり、メガセルのテスト時間が長くなるという問題がある。

【0006】本発明は上記事情を考慮してなされたものであって、集積回路装置の端子数を増やすことなく、テスト時間が長くなるのを可及的に防止することができる、集積回路装置のテスト回路およびテスト方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による第1の態様のテスト回路は、少なくとも1個のメガセルブロックと、少なくとも1個のランダムブロックとを備えている集積回路装置をテストするためのテスト回路であって、前記メガセルブロックの出力端子と前記ランダムブロックの入力端子とを結ぶ経路毎に、第1のスキャンセルと、第1のテストモード信号に基づいて前記メガセルブロックの出力または前記第1のスキャンセルの出力のうちの一方を選択して前記ランダムブロックの前記入力端子に送出する第1のマルチプレクサと、第2のテストモード信号に基づいて前記第1のマルチプレクサの出力を選択して前記集積回路装置の外部端子に送出する第2のマルチプレクサと、を備えるとともに、前記ランダムブロックの出力端子と前記メガセルブロックの入力端子とを結ぶ経路毎に、前記第2のテストモード信号に基づいて前記ランダムブロックの出力または前記集積回路装置の外部端子から入力されるテストデータのうちの一方を選択して前記メガセルブロックの入力端子に送出する第3のマルチプレクサと、前記第3のマルチプレクサの出力を受ける第2のスキャンセルと、を備えていることを特徴とする。

【0008】前記第1および第2のスキャンセルは共通化された同一のスキャンセルであることを特徴とする。

【0009】また本発明による第2の態様のテスト回路は、双方向入出力端子を有する少なくとも1個のメガセルブロックと、双方向入出力端子を有する少なくとも1個のランダムブロックとを備えている集積回路装置をテストするテスト回路であって、前記メガセルブロックの双方向入出力端子と前記ランダムブロックの双方向入出力端子とを結ぶ経路に、前記ランダムブロックの双方向入出力端子からの出力を受けるスキャンセルと、テストモード信号に基づいて、前記メガセルブロックの出力または前記スキャンセルの出力のうちの一方を選択して前記ランダムブロックの双方向入出力端子に送出するマルチプレクサと、を備えていることを特徴とする。

【0010】また本発明による第3の態様のテスト方法は、第1の態様のテスト回路を用いて前記集積回路装置をテストする集積回路装置のテスト方法であって、前記ランダムブロックをテストする場合には、前記第1および第2のテストモード信号を第1および第2の所定の値に各々設定し、前記集積回路装置の外部端子を介して前記第1のスキャンセルにテストデータを送り、前記第1のテストモード信号を第1の所定の値に設定したことによって前記スキャンセルの出力を前記第1のマルチプレクサに選択させて前記ランダムブロックに送出し、前記第2のテストモード信号を第2の所定の値に設定したことによって前記ランダムブロックの出力を前記第3のマルチプレクサに選択させて前記第2のスキャンセルで観測し、前記メガセルブロックをテストする場合には、前記第1のテストモード信号を前記第1の所定の値と異なる第3の所定の値に設定するとともに前記第2のテストモード信号を前記第2の所定の値と異なる第4の所定の値に設定し、前記集積回路装置の外部端子を介してテストデータを入力し、前記第2のテストモード信号を前記第4の所定の値に設定したことにより前記テストデータを前記第3のマルチプレクサに選択させて前記メガセルブロックに送出し、前記第1のテストモード信号を前記第3の所定の値に設定したことにより前記メガセルブロックの出力を前記第1のマルチプレクサに選択させ、続いてこの第1のマルチプレクサの出力を第2のマルチプレクサに選択させて前記集積回路装置の外部端子に送出することを特徴とする。

【0011】また本発明による第4の態様のテスト方法は、第2の態様のテスト回路を用いて前記集積回路装置をテストする集積回路装置のテスト方法であって、前記ランダムブロックをテストする場合には、前記テストモード信号を第1の所定の値に設定するとともに前記メガセルブロックの前記双方向入出力端子の状態をハイインピーダンス状態にし、前記集積回路装置の外部端子を介してテストデータを前記スキャンセルに供給し、前記テストモード信号が前記第1の所定の値に設定されたこと

により前記マルチプレクサに前記スキャンセルの出力を選択させて前記ランダムブロックに送出し、続いてこのランダムブロックの出力を前記スキャンセルで観測し、前記メガセルブロックをテストする場合には、前記テストモード信号を前記第1の所定の値と異なる第2の所定の値に設定するとともに前記ランダムブロックの前記双方向入出力端子の状態をハイインピーダンス状態にし、前記集積回路装置の外部端子を介してテストデータを前記メガセルブロックに供給し、このメガセルブロックの出力を前記外部端子で観測することを特徴とする。

【0012】

【発明の実施の形態】本発明による集積回路装置のテスト回路の第1の実施の形態の構成を図1に示す。この実施の形態のテスト回路は、メガセルブロック40の出力端からランダムブロック50の入力端への経路の各々には図1(a)に示すようにスキャンセル2と、マルチプレクサ4、6とを有し、ランダムブロック50の出力端からメガセルブロック40の入力端への経路の各々には、図1(b)に示すようにマルチプレクサ8と、スキャンセル10とを有している。ここでスキャンセルとは通常時はフリップフロップとして動作し、テストモード時にはシフトレジスタとして動作するセルを意味している。

【0013】なお、テストモード信号TSTR、TSTMは集積回路装置の制御端子を介して外部から入力される信号により生成される信号である。

【0014】マルチプレクサ4は、テストモード信号TSTRが“1”の場合にはスキャンセル2の出力を選択し、テストモード信号TSTRが“0”の場合にはメガセルブロック40の出力を選択し、ランダムブロック50に供給する。

【0015】マルチプレクサ6は、テストモード信号TSTMが“1”の場合にはマルチプレクサ4の出力を選択し、テストモード信号TSTMが“0”の場合には他のメガセルブロックまたは他のランダムブロックの出力を選択し、集積回路装置の外部端子に供給する。

【0016】また、マルチプレクサ8はテストモード信号TSTMが“0”の場合には、ランダムブロック50の出力を選択し、テストモード信号TSTMが“1”の場合には外部端子から入力される信号を選択し、メガセルブロック40およびスキャンセル10に供給する。

【0017】このように構成されたテスト回路の動作を説明する。まずランダムブロック50をテストする場合を説明する。この場合、テストモード信号TSTRを“1”、テストモード信号TSTMを“0”に設定する。そしてスキャンセル2を用いてテストデータをテスト回路に供給する。すると、この供給されたテストデータはマルチプレクサ4によって選択され、ランダムブロック50に送られる(図1(a)参照)。そして上記テストデータに応じたランダムブロック50の出力はマル

チプレクサ8を介してスキャンセル10に送られる。このためスキャンセル10によってランダムブロック50のテスト出力が観測可能となり、ランダムブロック50のテストを行うことができる。

【0018】次にメガセルブロック40をテストする場合を説明する。この場合、テストモード信号TSTRを“0”、テストモード信号TSTMを“1”に設定する。そして外部端子を介してテストデータを入力する。すると、このテストデータはマルチプレクサ8によって選択されメガセルブロック40に送られる。そして上記テストデータに応じたメガセルブロック40の出力はマルチプレクサ4およびマルチプレクサ6を介して外部端子に送出される。したがって、外部端子によってメガセルブロック40のテスト出力が観測可能となり、メガセルブロック40のテストを行うことができる。

【0019】なお、テストモード信号TSTR、TSTMとともに“0”に設定した場合は、メガセルブロック40の出力はマルチプレクサ4を介してランダムブロック50に供給され、ランダムブロック50の出力はマルチプレクサ8を介してメガセルブロック40に供給される。したがって、この場合は通常モードになる。

【0020】なお、各モードとテストモード信号TSTR、TSTMとの関係を図2に示す。

【0021】以上説明したように本実施例においては、ランダムブロック50をテストする場合には、スキャンセル2を用いてテストデータをテストすべきランダムブロック50に供給し、ランダムブロック50からのテスト出力をスキャンセル10を用いて観測する。

【0022】このため、ランダムブロック50をマルチプレクサのみを用いてテストする従来の場合に比べてテストに必要な端子数は集積回路装置の端子数を越えることはない。すなわちテスト専用の端子数を設ける必要がない。

【0023】一方、メガセルブロック40をテストする場合には、外部端子から入力されたテストデータを、マルチプレクサ8を介してメガセルブロック40に供給し、メガセルブロック40からのテスト出力をマルチプレクサ4、6を介して外部端子に供給し観測することにより行う。このため、メガセルブロックをスキャン方式でテストする従来の場合に比べて、テスト時間は長くなることがない。

【0024】次に本発明によるテスト回路の第2の実施の形態の構成を図3に示す。この第2の実施の形態のテスト回路は、図1に示す第1の実施の形態のテスト回路において、スキャンセル2とスキャンセル10とを共通化してスキャンセル12としたものである。

【0025】ランダムブロック50をテストする場合には、スキャンセル12からのテストデータを、マルチプレクサ4を介してランダムブロック50に供給し、ランダムブロック50のテスト出力をマルチプレクサ8を介

してスキャンセル12で観測することにより行う。

【0026】また、メガセルブロック40をテストする場合には、外部端子を介して送られてくるテストデータをマルチプレクサ8を介してメガセルブロック40に供給し、メガセルブロック40からのテスト出力を、マルチプレクサ4、6を介して外部端子で観測することにより行う。

【0027】以上の説明から分かるように、この第2の実施の形態のテスト回路も第1の実施の形態のテスト回路と同様の効果を奏することは云うまでもない。

【0028】また、この第2の実施の形態においては、スキャンセル12は、ランダムブロック50の入力の印加と、出力の観測に用いるため、第1の実施の形態に比べて付加回路が少なく済むというメリットがある。

【0029】次に本発明によるテスト回路の第3の実施の形態の構成を図4に示す。この第3の実施の形態のテスト回路は、メガセルブロック40の双方向入出力端子とランダムブロック50の双方向入出力端子との間の経路に設けられ、スキャンセル14と、マルチプレクサ16とを備えている。

【0030】ランダムブロック50をテストする場合は、まずメガセルブロック40の双方向入出力端子46a、46bの状態をハイインピーダンスの状態にするとともにテストモード信号TSTRを“1”にし、スキャンセル14から出力されるテストデータをマルチプレクサ16を介してランダムブロック50に出力する。そしてランダムブロック50の出力をスキャンセル14で観測する。

【0031】またメガセルブロック40をテストする場合は、まずランダムブロック50の双方向入出力端子56a、56bの状態をハイインピーダンス状態にするとともにテストモード信号TSTRを“0”にし、メガセルブロック40の双方向入出力端子46aへのテストデータの印加と、双方向入出力端子46bから出力されるテスト出力の観測とを集積回路装置の外部端子を用いて

行う。

【0032】以上説明したように、この第3の実施の形態においてもランダムブロック50のテストにはスキャンセルを用いて行い、メガセルブロック40のテストには外部端子を用いて行う。これにより第1の実施の形態と同様の効果を奏することは云うまでもない。

【0033】

【発明の効果】以上述べたように、本発明によれば、集積回路装置の端子数を増やすことなく、テスト時間が長くなるのを可及的に防止することができる。

【図面の簡単な説明】

【図1】本発明によるテスト回路の第1の実施の形態の構成を示すブロック図。

【図2】テストモード信号と各モードとの関係を示す表。

【図3】本発明によるテスト回路の第2の実施の形態の構成を示すブロック図。

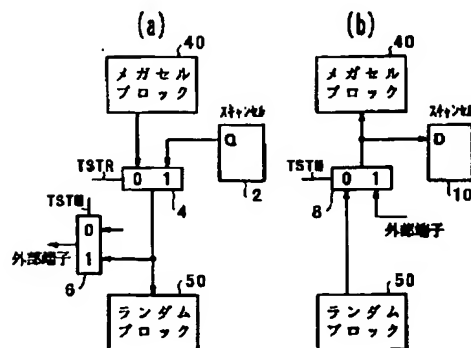
【図4】本発明によるテスト回路の第3の実施の形態の構成を示すブロック図。

20 【図5】従来のテスト回路の構成を示すブロック図。

【符号の説明】

- 2 スキャンセル
- 4 マルチプレクサ
- 6 マルチプレクサ
- 8 マルチプレクサ
- 10 スキャンセル
- 12 スキャンセル
- 14 スキャンセル
- 16 マルチプレクサ
- 30 40 メガセルブロック
- 40a、40b メガセルブロック
- 46a、46b 双方向入出力端子
- 50 ランダムブロック
- 56a、56b 双方向入出力端子

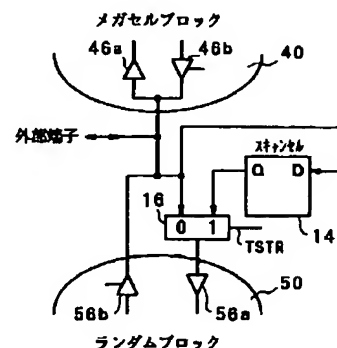
【図1】



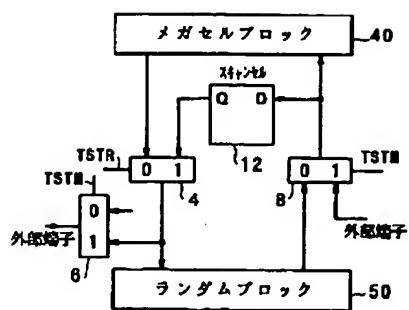
【図2】

	TSTM	TSTR
通常モード	0	0
メガセルブロックのテスト	1	0
ランダムブロックのテスト	0	1

【図4】



【図3】



【図5】

